

文章编号: 2095-2163(2021)10-0142-05

中图分类号: TN432

文献标志码: A

一种结构简单的宽温度范围、高精度 CMOS 基准源

杨见辉¹, 闫江², 孙建民¹, 李宽¹

(1 贵州大学 大数据与信息工程学院, 贵阳 550025; 2 北方工业大学 电子信息工程学院, 北京 100144)

摘要: 本文采用 130 nm MOS 工艺, 设计了一种简单的 CMOS 电压基准源。利用基准电流源结构, 产生 PTAT 电流, 再通过电流镜技术将此 PTAT 电流转移到一个以二极管方式连接、工作于亚阈值区状态的 NMOS 管, 在栅源之间得到对温度不敏感的电压 V_{GS} 。经过 Spectre 仿真后, 在电源电压为 2.2 V 至 2.5 V 电压范围内, 本文电路均可正常工作; 在 $-40\text{ }^{\circ}\text{C} \sim +155\text{ }^{\circ}\text{C}$ 范围内, 基准电压温度系数可低至 $12.0 \times 10^{-6}/^{\circ}\text{C}$; 当供电电压为 2.3 V 时, 整个电路的静态功耗和输出电压分别为 $50\text{ }\mu\text{W}$ 和 561.5 mV; 在 10 KHz 以内, 电源抑制比 $PSRR$ 的值均小于 -53.8 dB , 在 1 MHz 处, 电源抑制比 $PSRR$ 为 -44.7 dB 。该电路中只包含 CMOS 管和一个电阻, 没有使用电容、三极管等器件, 简单稳定, 可应用于各种便携式电子设备。

关键词: 电压基准; 低温漂; 宽温度范围; 亚阈值

A simple structure, wide temperature range, high precision CMOS reference source

YANG Jianhui¹, YAN Jiang², SUN Jianmin¹, LI Kuan¹

(1 College of Big Data and Information Engineering, Guizhou University, Guiyang 550025, China;

2 College of Electronic and Information Engineering, North China University of Technology, Beijing 100144, China)

[Abstract] A simple CMOS voltage reference source is designed in 130 nm MOS process. Utilizing reference current source structure, the PTAT compensation current is generated, and working through the current mirror technology, the PTAT current is transferred to the diode-connected NMOS tube in the sub-threshold region state, and a temperature-insensitive voltage V_{GS} between the gate and source is obtained. After Spectre simulation, the circuit in this paper can work normally in the power supply voltage range of 2.2 V to 2.5 V; in the range of $-40\text{ }^{\circ}\text{C} \sim +155\text{ }^{\circ}\text{C}$, the temperature coefficient of the reference voltage can be as low as $12.0 \times 10^{-6}/^{\circ}\text{C}$; when the supply voltage is 2.3 V, the power consumption and output voltage of the reference circuit are $50\text{ }\mu\text{W}$ and 561.5 mV respectively; within 10 KHz, the $PSRR$ of power supply suppression ratio is less than -53.8 dB , and at 1 MHz, the $PSRR$ is -44.7 dB . The circuit only contains a CMOS tube and a resistor, and does not use capacitors, triodes and other devices. It is simple and stable, and can be applied to various portable electronic devices.

[Key words] voltage reference; low temperature drift; wide temperature range; sub-threshold area

0 引言

随着现代集成电路的迅速发展, 微电子设备进入了人类生活的方方面面。电压基准源是集成电路中的一个重要单元模块, 集成电路通常利用带隙电压基准源模块来为其他子模块提供精确的电压^[1]。电压基准源好坏不仅影响电路系统的性能, 甚至会损坏整个电路。如今的集成电路越来越微型化, 电压也越来越低, 一个好的基准电压源的设计需求正日益凸显, 目前, 大部分传统带隙基准电压源只能产生 1.25 V 左右的电压, 难以满足现代微电子行业的低压要求。因而, 设计一个好的带隙基准电压源具有重要的现实意义^[2]。基准源是为了获得一个与电源电压、温度和工艺参数都无关的稳定的输

出^[3]。目前国内外的学者主要研究基准源的温漂系数、线性调制率及高电源抑制比 $PSRR$ 等性能。由于传统 banba 结构基准精度差, 电源抑制比较低, 温度范围也比较窄, 使得基准电路结构变得复杂化, 虽然也可采用校准机制来改善精度问题, 但却会导致成本上升。针对上述结构的优缺点, 本文提出了一种新型基准结构。

本文使用 130 nm CMOS 工艺平台, 设计了 PTAT 电流产生电路和电流镜核心结构, 使整个电路结构变得非常简单, 使用的 CMOS 管也比较少, 大大节约了芯片面积, 同时达到低温漂要求, 实现了超宽频带下高电源抑制比以及宽温度范围。本文基准源电路简单实用, 能够应用到大多数的微型电子设备上。

作者简介: 杨见辉(1996-), 男, 硕士研究生, 主要研究方向: 模拟集成电路设计。

通讯作者: 闫江 Email: yanjiang@ime.ac.cn

收稿日期: 2021-07-23

1 电路原理

为了提高电源抑制比, 本文先设计 PTAT 电流源作为缓冲, 再将 PTAT 电流源连接到基准电压输出电路, 这样当电源干扰电压经过 PTAT 电流源的缓冲减小, 对基准电压输出电路的影响就非常小, 达到高电源抑制比特性。

传统带隙基准源的基本原理是设计具有相反温度特性的电压按一定比例求和, 往往包含启动电路、正温度、负温度电压电路、求和电路, 极为复杂, 为了降低设计结构复杂度, 本文中采用反向设计法。具有电流温度特性的 NMOS 管的连接方式如图 1 所示。以二极管方式连接的 NMOS 管漏源电流温度特性如图 2 所示。在处于亚阈值区稳压饱和状态下 ($V_{GS_sub} = V_{DS} = V_{DD} < V_{TH}$), NMOS 管的漏源电流 (I_D) 在 $-40\text{ }^\circ\text{C} \sim +155\text{ }^\circ\text{C}$ 温度范围内与温度呈现正相关特性。通过反向设计思想, 只要设计出一个与图 2 温度特性相似的、与绝对温度成正比 (proportional to absolute temperature, PATA) 的电流 I_D , 再将这种温度特性的电流流入以二极管方式连接的 NMOS 管获得零温度系数、高抑制比的栅源电压 (V_{GS})。

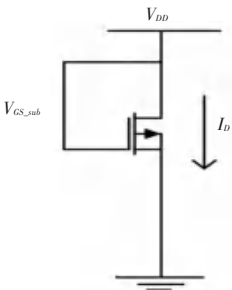


图 1 以二极管方式连接的 NMOS 管

Fig. 1 NMOS tube connected by the diode

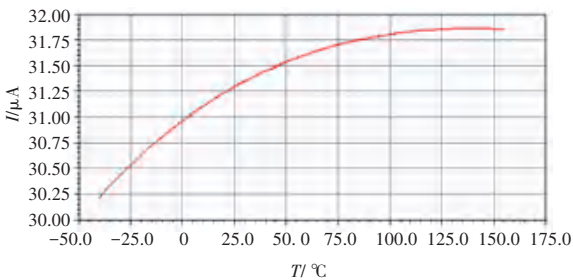


图 2 以二极管方式连接的 NMOS 管漏源电流温度特性

Fig. 2 Drain-source current temperature characteristics of NMOS tube connected by the diode

图 1 中, CMOS 管工作在亚阈值区, 其栅源电压可表示为:

$$V_{GS_sub} = V_{TH} + m * V_T \ln\left(\frac{I_D}{V_T^2 \mu C_{OX} W/L}\right) \quad (1)$$

其中, 热电压 $V_T = KT/q$; μ 为电子迁移率; V_{TH} 为阈值电压; m 为亚阈值斜率; T 为绝对温度; W/L 是沟道长比; K 是玻尔兹曼常数。

PTAT 电流产生电路如图 3 所示。

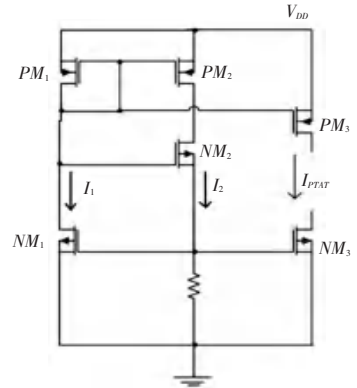


图 3 PTAT 电流源

Fig. 3 PTAT current source

在图 3 中, MOS 管均工作于亚阈值区, 可得出以下方程:

$$I_2 = \frac{V_{GS1}}{R} = \frac{V_{TH}}{R} + \frac{m * V_T}{R} \ln\left(\frac{I_1}{V_T^2 \mu_n C_{OX} W/L}\right) \quad (2)$$

$$I_2 = I_1 \quad (3)$$

$$I_{PTAT} = K * I_1 \quad (4)$$

式(4)中, K 为镜像比例。因式(2)、式(3)组成的方程为超越方程, 一般很难求出 I_{PTAT} 的解析解, 于是本文寻求一种近似解代替。设计的电流源 I_{PTAT} (蓝线) 与图 1 电流 I_D (红线) 的温度特性如图 4 所示。在图 4 中, 可看出相同栅源电压下本文设计电流源 I_{PTAT} 的温度特性与图 1 的电流 I_D 的温度特性在一定温度范围内几乎一致, 因此可以采用式(1) 近似解析式来代替式(4) 电流 I_{PTAT} 解, 可得:

$$I_{PTAT} \approx I_D = V_T^2 \mu C_{OX} \frac{W}{L} * \exp\left(\frac{V_{GS_sub} - V_{TH}}{m V_T}\right) \quad (5)$$

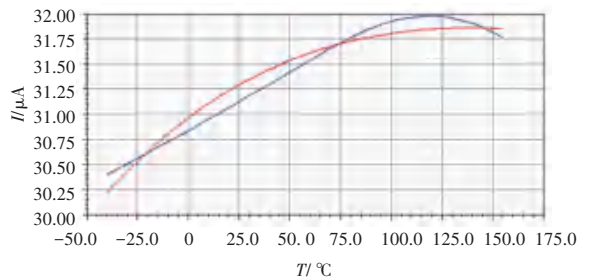


图 4 设计的电流源 I_{PTAT} (蓝线) 与图 1 电流 I_D (红线) 的温度特性

Fig. 4 The temperature characteristics of the designed current source I_{PTAT} (blue line) and the current I_D (red line) in Fig. 1

2 电路结构

本文设计的 CMOS 电路结构如图 5 所示。仅仅只

有3个部分。第一个部分为启动单元,中间部分为PTAT电流获得电路,右边部分为基准电压输出电路。整个电路除了一个电阻 R_1 ,其余器件均为CMOS管。可以看出该结构简单清晰,没有正负温度特性电压产生电路,也无复杂求和电路结构,易于集成实现。

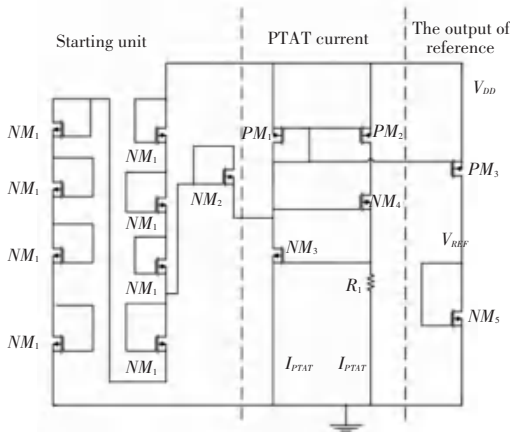


图5 基准电压源电路

Fig. 5 Reference voltage source circuit

2.1 电路启动分析

由于该PTAT电流产生电路部分在上电后可能出现电流为零的状态,导致基准输出电路不能正常工作。为了使基准电压源能够输出稳定的基准电压,在图5中, NM_1 和 NM_2 管组成启动电路确保整个电路正常工作。

当电路上电后,启动电路开始工作。刚上电时,由于8个 NM_1 管处于串联状态,因此全部导通,每个 NM_1 管的栅源电压及漏源电流都一样。同样在刚上电时, NM_2 的源极和 NM_3 的漏极处于同一零电位。由于 NM_1 导通后分压,使得连接的 NM_2 栅极存在一定电压,进而 NM_2 导通, NM_2 的漏源电流流入 NM_3 的漏极和 NM_4 的栅极,因为 NM_4 栅源之间存在电容, NM_4 的栅源电压随着电流的流入会逐渐升高到 V_{TH4} ,导致 NM_4 导通, NM_4 的漏源电流流过电阻 R_1 ,使 R_1 两端电压升高到 V_{TH3} , NM_3 导通。在 NM_3 和 NM_4 导通后,整个 I_{PTAT} 产生电路处于正常工作状态。因 NM_3 管的漏源电压 V_{DS3} 存在,使得 NM_2 管的源极电压上升,栅源电压 $V_{GS2} < V_{TH2}$, NM_2 不再工作。

2.2 PTAT电流获得电路

在图5中,电阻 R_1 与 PM_1 , PM_2 , NM_3 , NM_4 管一起组成了PTAT电流获得电路。此四个MOS管全部工作在亚阈值区,因而产生电流 I_{PTAT} 可用式(5)表示。

2.3 电流镜技术

由图5可知, PM_1 和 PM_3 管构成电流镜。因此, PM_3 和 NM_5 管是 PM_1 和 PM_2 管电流的 K 倍,忽

略沟道调制效应,因此可得:

$$I_{PM_1} = I_{PM_2} = V_T^2 \mu_p C_{OX} \left(\frac{W}{L} \right)_{PM_1} * \exp\left(\frac{V_{GS_PM_1} - V_{TH}}{mV_T}\right) \quad (6)$$

$$I_{PM_3} = I_{NM_5} = V_T^2 \mu_p C_{OX} \left(\frac{W}{L} \right)_{PM_3} * \exp\left(\frac{V_{GS_PM_1} - V_{TH}}{mV_T}\right) = \frac{(W/L)_{PM_3}}{(W/L)_{PM_1}} * I_{PM_1} \quad (7)$$

通过设置合适的镜像比例,一个具有正温度特性的电流被转移到 NM_5 管中。

2.4 核心基准电路分析

$PM_1 - PM_3$, $NM_3 - NM_5$ 和 R_1 组成了核心基准电路。基准源的基本原理是将 I_{PTAT} 通过电流镜技术转移到以二极管方式连接的 NM_5 管,再调整 NM_5 管的 W/L 值,获得与温度系数为零的基准源。电路工作时,整个 I_{PTAT} 产生电路处于负反馈工作状态。当电源电压上升, NM_3 和 NM_4 的漏源电流增大,则 V_{GS3} 增大, NM_4 的源极电位上升,带来 V_{GS4} 减小,使得 NM_4 的漏源电流减小,达到负反馈效果,使电流稳定,利于提高抑制比。

以二极管方式连接的 NM_5 管工作在亚阈值区时的 V_{GS} 的表达式可由式(1)推得:

$$V_{GS} = V_{TH} + m * V_T \ln\left(\frac{I_D}{V_T^2 \mu_n C_{OX} W/L}\right) \quad (8)$$

将式(5)代入式(8)可得:

$$V_{REF} = V_{GS} = V_{TH} + m * V_T \ln\left(\frac{I_{PTAT}}{V_T^2 \mu_n C_{OX} W/L}\right) \approx V_{GS_sub} \quad (9)$$

可见在式(9)中, $V_{REF} \approx V_{GS_sub}$,其中 V_{GS_sub} 为图1中固定不变的电压。于是根据式(9)只要慢慢调整 PM_1 , PM_2 , PM_3 和 NM_5 管的 W/L ,一个稳定的 V_{REF} 就可以得到实现。 V_{REF} 受 I_{PTAT} 控制,电源的交流干扰途径为:电源电压— I_{PTAT} — V_{REF} 。因 I_{PTAT} 本身对电源有很高的抑制,所以在基准电压输出处,电源的交流干扰能被更好地抑制。

3 仿真结果

本文基准电压电路在130 nm CMOS工艺平台下进行设计和仿真实证。

3.1 温度特性

在电源电压为2.3 V、-40 °C ~ 155 °C条件下,图6展示了该电路输出电压的变化情况。该输出电压平均值为562 mV,可以看出输出电压最大波动幅度只有1.32 mV,温漂系数为 $12.0 \times 10^{-6}/^{\circ}\text{C}$ 。

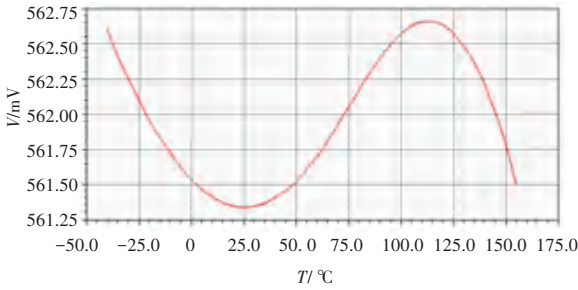


图 6 基准输出电压的温度特性曲线

Fig. 6 Temperature characteristic curve of reference output voltage

3.2 电源电压特性

基准输出电压随电源电压的变化如图 7 所示。由图 7 可知,在电路为 27 °C 的温度下,当电源电压是 2.2~2.5 V 的某一电压时,输出电压也在 561.5 mV 至 560.9 mV 的范围,相应的线性调整率为 2 mV/V。

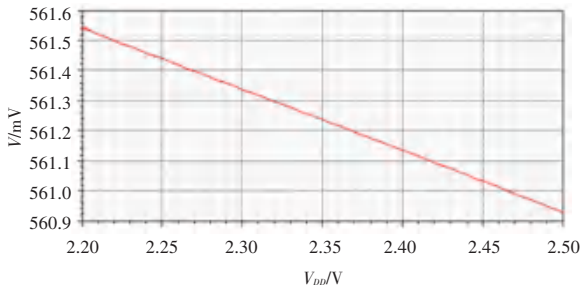


图 7 基准输出电压随电源电压的变化

Fig. 7 Reference output voltage changes with power supply voltage

表 1 本文基准电路的仿真结果与其它文献的关键参数对比

Tab. 1 Comparison of the simulation results of the benchmark circuit in this article with the key parameters of other documents

文献	工艺节点/nm	电源电压/V	基准电压/mV	温度范围/°C	温度系数/($\times 10^{-6} \cdot ^\circ\text{C}^{-1}$)	PSRR/dB	功耗/ μW	线性调整率/%
本文	130	2.2~2.5	562.0	-40~155	12.00	-53 dB@ 100 KHz	50@ 2.3 V	0.36
文献[3]	110	3.3	1 200.0	-40~85	33.00	-61/低频	967	—
文献[6]	180	0.9~1.8	755.5	-20~120	16.50	-40 dB@ 1 MHz	—	—
文献[7]	180	0.75~1.8	450.4	-10~87	28.13	-12 dB@ 1 MHz	—	—
文献[8]	65	0.35	148.0	-30~80	28.00	-53 dB@ 100 Hz	2.28×10^{-3}	1.20

4 结束语

本文设计了一种新型的简单的 CMOS 结构的电压基准源,通过反向设计法与传统的利用加法电路将相反温度系数的电压按一定系数比例相加的原理不同。本文利用电流镜技术将正温度系数电流导入工作在亚阈值区的 NMOS 管,使 V_{GS} 在一定温度范围内实现低温度漂移,得到了基准电压。文献[1-13]中,虽然在温度系数、电源抑制比等参数上能够达到不错的效果,但是其结构均比本文结构复杂,甚至有的需要运放、高阻值电阻等器件结构,导致在芯片中占了较大面积,压缩其他模块空间。

3.3 电源抑制比 PSRR

图 8 为本文提出的基准电压源电路的 PSRR 仿真曲线。由图 8 可以看出,在很宽的频带范围内 PSRR 保持稳定且拥有极为理想的数值,PSRR 一直低于 -53 dB,直到频率高于 100 KHz。当频率达到 1 MHz 时,PSRR 也能达到 -44 dB。因此,本文基准电压实现了宽频带高电源抑制比特性。

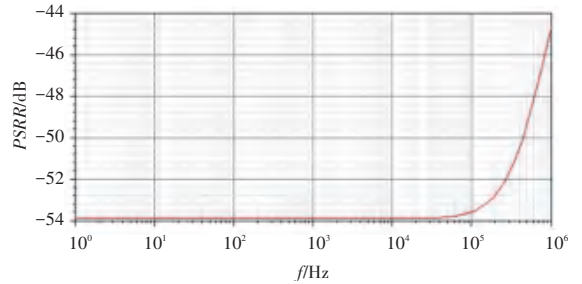


图 8 基准电压的电源抑制比的变化曲线

Fig. 8 The variation curve of the power supply rejection ratio of the reference voltage

本文基准电路的仿真结果与其它文献的关键参数对比见表 1。由表 1 可知,将其它相关文献结果与本文基准源电路仿真结果进行对比。明显看出,无论在温度漂移系数、还是其它关键指标上,本文的结果显著优于其它文献电路。

与文献[4]对比,除了本文结构简单外,本文电路电源抑制比在高频处比文献[4]高;文献[5]虽然在温度漂移性能方面稍微优于本文,但其结构复杂,且使用了很多电阻、电容以及三极管等复杂器件;文献[6]虽然低频电源抑制比高于本文,但当频率高于 100 Hz 后,文献[6]电源抑制比远不如本文,且温度系数及范围都不及本文。

本文基准电路结构简单稳定,易于设计集成,采用 PTAT 电流源作为缓冲级,提高电源抑制比,同时保证了低输出电压、低温漂特性以及很宽的温度范围等诸多优点,可广泛应用于低压微型电子电路领域。

参考文献

- [1] 杨哈,侯晨琛,钟泽,等. 基于 65 nm CMOS 工艺的 2 阶温度补偿全 CMOS 电压基准源[J]. 微电子学,2021,51(1):1-4.
- [2] 幸新鹏,李冬梅,王志华. CMOS 带隙基准源研究现状[J]. 微电子学,2008(1):57-63,71.
- [3] 张泽伟,宋树祥,蒋品群,等. 一种结构简单的高精度带隙基准源设计[J]. 太赫兹科学与电子信息学报,2020,18(2):345-349.
- [4] 杜永乾,庄奕琪,李小明,等. 新型低压低功耗基准电压源[J]. 华中科技大学学报(自然科学版),2013,41(11):114-117.
- [5] 李树镇,冯全源. 一种 CMOS 高阶曲率补偿的带隙基准源电路的设计[J]. 哈尔滨工业大学学报,2017,49(10):95-99.
- [6] 胡锦涛,梁科,王锦,等. 一种皮瓦级超低功耗电压基准源[J/OL]. 微电子学:1-6[2021-03-29]. <https://kns.cnki.net/kcms/detail/50.1090.TN.20210327.1554.001.html>.
- [7] PAL P K, NAGARIA R K. A low-power, Sub-1-V All-MOSFET subthreshold voltage reference using body biasing[J]. Journal of Circuits, Systems and Computers, 2019, 28(13): 1950215.
- [8] ZHOU Zekun, CAO Jianwen, WANG Yunkun, et al. A nanoscale low-power resistorless voltage reference with high PSRR[J]. Nanoscale Research Letters, 2019, 14(1): 33.
- [9] DASTGERDIM A, HABIBI M, DOLATSHAHI M. A novel two stage cross coupled architecture for low voltage low power voltage reference generator[J]. Analog Integrated Circuits and Signal Processing, 2019, 99(2): 393-402.
- [10] NEJAD T G, FARSHIDI E, SJÖLAND H, et al. A high precision logarithmic-curvature compensated all CMOS voltage reference[J]. Analog Integrated Circuits and Signal Processing, 2019, 99(2): 383-392.
- [11] OLIVERA F, PETRAGLIA A. A computer-aided approach for voltage reference circuit design[J]. Analog Integrated Circuits and Signal Processing, 2016, 89(3): 511-520.
- [12] PALP K, NAGARIA R K. A low-power, sub-1-V All-MOSFET subthreshold voltage reference using body biasing[J]. Journal of Circuits, Systems and Computers, 2019, 28(13): 1950215.
- [13] LEI Jianming, WANG Zhen, WANG Xiaolong. A 68-nW novel CMOS sub-bandgap voltage reference circuit[J]. Microelectronics Journal, 2019, 89: 37-40.

(上接第 141 页)



图 10 单帧皮影展示图

Fig. 10 Single frame shadow display

4 结束语

本文针对基于 SimplePose 优化算法的皮影保护技术进行讨论与分析。文中,先是提出了实验选用的数据集,接着对图像预处理中的暗通道去雾技术进行了整体阐述,然后又对网络结构及数据再处理展开了深入的研究,并对每一步都给出了详尽说明。在此基础上,将本文的研究方法运用在皮影戏的制作中,最终得到了较为满意的仿真效果。本文研究成果有益于传统皮影戏的保存和传承,具有重要的现实意义。

参考文献

- [1] 朱恒夫. 中国皮影戏的历史、现状与剧目特征[J]. 浙江艺术职业学院学报,2020,18(1):32-45.
- [2] 庾坤. 基于动作捕捉技术的荆楚皮影戏数字化研究[J]. 科教导刊(电子版),2018(21):1.
- [3] HE Kaiming, SUN Jian, TANG Xiao'ou. Single image haze removal using dark channel prior[J]. IEEE Transactions On Pattern Analysis And Machine Intelligence, 2011, 33(12): 2341-2353.
- [4] XIAO Bin, WU Haiping, WEI Yichen. Simple baselines for human pose estimation and tracking[M]// FERRARI V, HEBERT M, SMINCHISESCU C, et al. Computer Vision-ECCV 2018. ECCV 2018. Lecture Notes in Computer Science. Cham: Springer, 2018, 11210:472-487.
- [5] LEDIG C, THEIS L, HUSZÁR F, et al. Photo-realistic single image super-resolution using a generative adversarial network[C]// 2017 IEEE Conference on Computer Vision and Pattern Recognition (CVPR). Honolulu, HI, USA: IEEE, 2017: 105-114.